

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-305293

(P2002-305293A)

(43)公開日 平成14年10月18日 (2002. 10. 18)

(51)Int.Cl. ⁷	識別記号	F I	テーマート(参考)
H 01 L 27/12		H 01 L 27/12	B 5 F 0 3 2
21/02		21/02	B 5 F 0 4 8
21/20		21/20	5 F 0 5 2
21/336		27/08 3 3 1 E	5 F 1 1 0
21/762		21/76 D	
	審査請求 未請求 請求項の数25 OL (全 15 頁) 最終頁に統く		

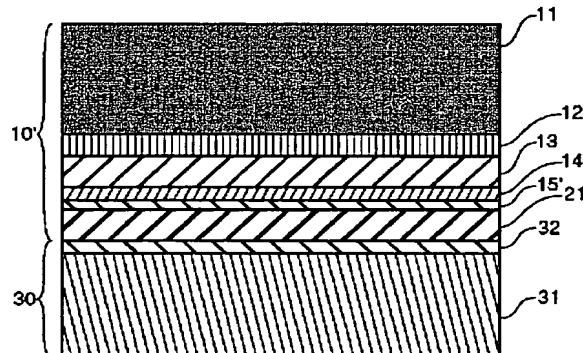
(21)出願番号	特願2001-109002(P2001-109002)	(71)出願人 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成13年4月6日 (2001. 4. 6)	(72)発明者 野津 和也 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者 佐藤 信彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74)代理人 100076428 弁理士 大塚 康徳 (外3名)
		最終頁に統く

(54)【発明の名称】 半導体部材の製造方法及び半導体装置の製造方法

(57)【要約】

【課題】移設法(貼り合わせ、分離)を利用した歪みSOI基板の製造方法を提供する。

【解決手段】シリコン基板11上に分離層12を形成し、その上に順にシリコン層13、SiGe層14、シリコン層15'、絶縁層21を形成して第1の基板10'を作成する。この第1の基板10'を第2の基板30に貼り合わせて、その後、分離層12の部分でこれを2枚に分離する。次いで、水素アニールにより、SiGe層14中のGeをシリコン層13に拡散させる。これにより、絶縁層21上にSiGe層を有し、その上に歪みシリコン層を有する歪みSOI基板が得られる。



【特許請求の範囲】

【請求項1】 シリコンと付加材料とで構成される層を絶縁層上有する半導体部材の製造方法であって、シリコンと付加材料とを含む第1の層の上に実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、前記第1の部材と第2の部材とを絶縁層を介して、且つ前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項2】 前記準備工程は、前記第1の層の上に前記第2の層を形成する積層工程を含み、前記製造方法は、前記第1の部材の前記第2の層の上に前記絶縁層を形成する絶縁層形成工程を含み、前記積層工程、前記絶縁層形成工程及び前記移設工程は、前記積層工程、前記絶縁層形成工程、前記移設工程の順に実施されることを特徴とする請求項1に記載の半導体部材の製造方法。

【請求項3】 前記第1の部材は前記第1の層の下にシリコン層を有し、前記移設工程では、前記第1の部材より、前記シリコン層から前記絶縁層までの部分を、前記第2の部材に移設することを特徴とする請求項1に記載の半導体部材の製造方法。

【請求項4】 前記拡散工程は、前記移設工程の後に実施されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体部材の製造方法。

【請求項5】 前記拡散工程の後に、前記第2の部材上の前記第1の層の上にシリコン層を成長させる成長工程を更に含むことを特徴とする請求項1乃至4のいずれか1項に記載の半導体部材の製造方法。

【請求項6】 前記拡散工程は、前記絶縁層形成工程の後であって前記移設工程の前に実施されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体部材の製造方法。

【請求項7】 前記絶縁層形成工程では、前記付加材料を拡散させるために十分な温度の熱処理を伴う熱酸化処理により前記絶縁層を形成し、これにより前記絶縁層形成工程と前記拡散工程とを並行して実施することを特徴とする請求項2に記載の半導体部材の製造方法。

【請求項8】 前記絶縁層形成工程では、前記付加材料を拡散させるために十分な温度の熱処理を伴う熱酸化処理により前記絶縁層を形成し、

前記拡散工程は、第1及び第2拡散工程を含み、前記第1の拡散工程は、前記絶縁層形成工程における熱処理により前記絶縁層形成工程と並行して実施され、前記第2の拡散工程は、前記移設工程の後に実施されることを特徴とする請求項2に記載の半導体部材の製造方

法。

【請求項9】 前記第2の拡散工程の後に、前記第2の部材上の前記第1の層の上にシリコン層を成長させる成長工程を更に含むことを特徴とする請求項8に記載の半導体部材の製造方法。

【請求項10】 前記移設工程の後に、前記第2の部材の表層に熱酸化処理を施す熱酸化工程と、前記熱酸化工程により前記第2の部材に形成された熱酸化膜を除去する除去工程と、を更に含むことを特徴とする請求項6乃至請求項8のいずれか1項に記載の半導体部材の製造方法。

【請求項11】 前記除去工程の後に、前記第2の部材上にシリコン層を成長させる成長工程を更に含むことを特徴とする請求項10に記載の半導体部材の製造方法。

【請求項12】 前記移設工程の後に、前記第2の部材の表層に熱酸化処理を施す熱酸化工程と、前記熱酸化工程により前記第2の部材に形成された熱酸化膜を除去する除去工程と、を更に含むことを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体部材の製造方法。

【請求項13】 前記除去工程の後に、前記第2の部材上にシリコン層を成長させる成長工程を更に含むことを特徴とする請求項12に記載の半導体部材の製造方法。

【請求項14】 前記付加材料は、ゲルマニウムを含むことを特徴とする請求項1乃至請求項13のいずれか1項に記載の半導体部材の製造方法。

【請求項15】 前記絶縁層は、シリコン酸化膜であることを特徴とする請求項1乃至請求項14のいずれか1項に記載の半導体部材の製造方法。

【請求項16】 前記第1の部材は、前記第1の層の下に分離層を有し、前記移設工程では、前記絶縁層形成工程で絶縁層が形成された前記第1の部材に前記第2の部材を貼り合わせ、その後、貼り合わせにより形成された部材を前記分離層の部分で分離することを特徴とする請求項1乃至請求項15のいずれか1項に記載の半導体部材の製造方法。

【請求項17】 前記移設工程では、前記絶縁層が形成された前記第1の部材中にイオン注入法によって分離層を形成し、該分離層を形成した前記第1の部材に前記第2の部材を貼り合わせ、その後、貼り合わせにより形成された部材を前記分離層の部分で分離することを特徴とする請求項1乃至請求項15のいずれか1項に記載の半導体部材の製造方法。

【請求項18】 前記第1の部材の前記第1の層及び前記第2の層は、CVD法により形成されたものであることを特徴とする請求項1乃至請求項17のいずれか1項に記載の半導体部材の製造方法。

【請求項19】 前記第1の部材の前記第1の層及び前

記第2の層は、前記付加物質を供給する原料ガスの流量或いは濃度を徐々に又は段階的に変更しながら、1つのCVD工程において連続的に形成されたものであることを特徴とする請求項17に記載の半導体部材の製造方法。

【請求項20】前記第1の部材は、シリコン基板上に前記第1の層及び前記第2の層を有し、且つ、前記第1の層の内部、前記第1の層と前記シリコン基板との界面、あるいは前記シリコン基板の内部の少なくともいずれかに分離層を有することを特徴とする請求項1乃至請求項16のいずれか1項に記載の半導体部材の製造方法。

【請求項21】前記分離層は、陽極化成法を用いて作製される多孔質層、あるいはイオン注入層であることを特徴とする請求項20に記載の半導体部材の製造方法。

【請求項22】前記拡散工程によって、シリコンと付加材料とで構成される層が、前記絶縁層に隣接することを特徴とする請求項1乃至請求項21のいずれか1項に記載の半導体部材の製造方法。

【請求項23】シリコンと付加材料とで構成される層を絶縁層上に有する半導体部材の製造方法であって、シリコンと付加材料とを含む第1の層上に、実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、前記第1の部材と絶縁性の第2の部材とを前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、

前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、

を含むことを特徴とする半導体部材の製造方法。

【請求項24】半導体装置の製造方法であって、シリコンと付加材料とを含む第1の層の上に実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、

前記第1の部材と第2の部材とを絶縁層を介して、且つ前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、

前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、

前記第2の部材上に移設された前記第1の層の上に歪みシリコン層を形成する歪みシリコン層形成工程と、

前記歪みシリコン層上に回路素子を形成する回路素子形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項25】半導体装置の製造方法であって、シリコンと付加材料とを含む第1の層の上に、実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、

前記第1の部材と絶縁性の第2の部材とを前記第2の層が

内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、

前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、

前記第2の部材上に移設された前記第1の層の上に歪みシリコン層を形成する歪みシリコン層形成工程と、

前記歪みシリコン層上に回路素子を形成する回路素子形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体部材の製造方法及び半導体装置の製造方法に関する。

【0002】

【従来の技術】高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として、歪みシリコン層（strained silicon layer）を有する基板が注目されている。シリコン（Si）とゲルマニウム（Ge）からなる層（SiGe層）をシリコン基板上に成長させ、その上にシリコン単結晶層を成長させると、該シリコン層に歪みが加わり、歪みシリコン層が得られる。この歪みは、シリコンとゲルマニウムからなる層の格子定数がシリコン単結晶層の格子定数よりも僅かに大きいことにより発生する。

【0003】また、シリコン基板中に埋め込み酸化膜（Buried oxide）を有するSOI基板もまた、高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として注目されており、実用化が進んでいる。

【0004】更に、シリコン基板に第1のSiGe層を形成し、その後当該第1のSiGe層よりもGeの濃度が高い第2のSiGe層を順に形成し、第1のSiGe層と第2のSiGe層との界面付近にSIMOX（Separation by Ion Implanted Oxygen）法により絶縁層としての埋め込み酸化膜を形成することにより、埋め込み酸化膜上に高Ge濃度で膜厚の薄いSiGe層を得る技術が報告されている（“A Novel Fabrication Technique of Ultra-Thin and Relaxed SiGe Buffer Layers with High Ge Content for Sub-100nm Strained Silicon-on-Insulator MOSFETs”, T.Tezuka et al., SOLID STATE DEVICES AND MATERIALS, Sendai, 2000, pp.472-473; “Design of SiGe/Buried Oxide Structure to Form Highly Strained Si Layer on Insulator for SOI MOSFETs”, N.Sugiyama et al., SOLID STATE DEVICE MATERIALS, Sendai, 2000, pp. 474-475）。

【0005】

【発明が解決しようとする課題】上記のT.Tezuka et al.及びN.Sugiyama et al.の技術は、絶縁層上にSiGe層を有する構造を形成するために、SIMOX法を利用することを1つの特徴とする。したがって、この技術は、SIMOX法における技術的不利益を潜在的に抱えている。すなわち、SIMOX法では、シリコン基板中に大量の酸素イオン

を打ち込むことにより該シリコン基板中に埋め込み酸化膜を形成する。そのため、SIMOX法では、シリコン基板中に多数の結晶欠陥が生じ、少数キャリヤデバイスを作製するための品質を確保することが難しく、また、SIMOX法に従ってシリコン基板中に形成される酸化膜については、その品質の更なる向上が求められている。これらの点を考慮すると、T.Tezuka et al.及びN.Suqiyama et al.によって報告された技術では、SIMOX工程においてSiGe層に多数の結晶欠陥（例えば、転位(dislocation)）が生じる他、埋め込み酸化膜の品質を向上させることが難しく、そのため、歪みシリコン及びSOI構造が潜在的に持っていると思われる効果を充分に発揮させることができないと考えられる。

【0006】本発明は、上記の背景に鑑みてなされたものであり、例えば、絶縁層上に、シリコン及び付加物質を含む層を有し、その上に歪みシリコン層を有する半導体部材を形成するための新規な技術を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の第1の側面は、シリコンと付加材料とで構成される層を絶縁層上有する半導体部材の製造方法に係り、a) シリコンと付加材料とを含む第1の層の上に実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、b) 前記第1の部材と第2の部材とを絶縁層を介して、且つ前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、c) 前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程とを含むことを特徴とする。ここで、前記絶縁層は、少なくとも前記第1の部材側又は前記第2の部材側のいずれか一方にあればよい。勿論、前記絶縁層は、前記第1の部材側及び前記第2の部材の両方に形成されていてもよい。

【0008】本発明の好適な実施の形態によれば、前記準備工程は、前記第1の層の上に前記第2の層を形成する積層工程を含み、前記製造方法が、前記第1の部材の前記第2の層の上に前記絶縁層を形成する絶縁層形成工程を含み、前記積層工程、前記絶縁層形成工程及び前記移設工程は、前記積層工程、前記絶縁層形成工程、前記移設工程の順に実施されることが好ましい。

【0009】本発明の好適な実施の形態によれば、前記第1の部材は前記第1の層の下にシリコン層を有し、前記移設工程では、前記第1の部材より、前記シリコン層から前記絶縁層までの部分を、前記第2の部材に移設することが好ましい。

【0010】また、本発明の好適な実施の形態によれば、前記拡散工程は、例えば、前記移設工程の後に実施される。この場合、この製造方法は、前記拡散工程の後に、前記第2の部材上の前記第1の層の上にシリコン層を成長させる成長工程を更に含むことが好ましい。

【0011】また、本発明の好適な実施の形態によれば、前記拡散工程は、例えば、前記絶縁層形成工程の後であって前記移設工程の前に実施される。

【0012】また、本発明の好適な実施の形態によれば、例えば、前記絶縁層形成工程で、前記付加材料を拡散させるために十分な温度の熱処理を伴う熱酸化処理により前記絶縁層を形成し、これにより前記絶縁層形成工程と前記拡散工程とを並行して実施する。

【0013】また、本発明の好適な実施の形態によれば、前記絶縁層形成工程では、前記付加材料を拡散させるために十分な温度の熱処理を伴う熱酸化処理により前記絶縁層を形成し、前記拡散工程は、第1及び第2拡散工程を含み、前記第1の拡散工程は、前記絶縁層形成工程における熱処理により前記絶縁層形成工程と並行して実施され、前記第2の拡散工程は、前記移設工程の後に実施される。この場合、この製造方法は、前記第2の拡散工程の後に、前記第2の部材上の前記第1の層の上にシリコン層を成長させる成長工程を更に含むことが好ましい。

【0014】また、本発明の好適な実施の形態によれば、この製造方法は、前記移設工程の後に、例えば、前記第2の部材の表層に熱酸化処理を施す熱酸化工程と、前記熱酸化工程により前記第2の部材に形成された熱酸化膜を除去する除去工程とを更に含む。この場合、この製造方法は、前記除去工程の後に、前記第2の部材上にシリコン層を成長させる成長工程を更に含むことが好ましい。

【0015】また、本発明の好適な実施の形態によれば、前記付加材料は、ゲルマニウムを含むことが好ましい。

【0016】また、本発明の好適な実施の形態によれば、前記絶縁層は、シリコン酸化膜であることが好ましい。

【0017】また、本発明の好適な実施の形態によれば、前記第1の部材は、前記第1の層の下に分離層を有し、前記移設工程では、前記絶縁層形成工程で絶縁層が形成された前記第1の部材に前記第2の部材を貼り合わせ、その後、貼り合わせにより形成された部材を前記分離層の部分で分離することが好ましい。

【0018】また、本発明の好適な実施の形態によれば、前記移設工程では、前記絶縁層が形成された前記第1の部材中にイオン注入法によって分離層を形成し、該分離層を形成した前記第1の部材に前記第2の部材を貼り合わせ、その後、貼り合わせにより形成された部材を前記分離層の部分で分離することが好ましい。

【0019】また、本発明の好適な実施の形態によれば、前記第1の部材の前記第1の層及び前記第2の層は、CVD法により形成されたものであることが好ましい。

【0020】また、本発明の好適な実施の形態によれ

ば、前記第1の部材の前記第1の層及び前記第2の層は、前記付加物質を供給する原料ガスの流量或いは濃度を徐々に又は段階的に変更しながら、1つのCVD工程において連続的に形成されたものであってもよい。

【0021】また、本発明の好適な実施の形態によれば、前記第1の部材は、シリコン基板上に前記第1の層及び前記第2の層を有し、且つ、前記第1の層の内部、前記第1の層と前記シリコン基板との界面、あるいは前記シリコン基板の内部の少なくともいずれかに分離層を有することが好ましい。ここで、前記分離層は、例えば、陽極化成法を用いて作製される多孔質層、あるいはイオン注入層であることが好ましい。

【0022】また、本発明の好適な実施の形態によれば、前記拡散工程によって、シリコンと付加材料とで構成される層を前記絶縁層に隣接させることが好ましい。

【0023】本発明の第2の側面は、シリコンと付加材料とで構成される層を絶縁層上有する半導体部材の製造方法に係り、a) シリコンと付加材料とを含む第1の層上に、実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、b) 前記第1の部材と絶縁性の第2の部材とを前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、c) 前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程とを含むことを特徴とする。

【0024】本発明の第3の側面は、半導体装置の製造方法に係り、a) シリコンと付加材料とを含む第1の層の上に実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、b) 前記第1の部材と第2の部材とを絶縁層を介して、且つ前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、c) 前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、d) 前記第2の部材上に移設された前記第1の層の上に歪みシリコン層を形成する歪みシリコン層形成工程と、e) 前記歪みシリコン層上に回路素子を形成する回路素子形成工程とを含むことを特徴とする。ここで、前記絶縁層は、少なくとも前記第1の部材側又は前記第2の部材側のいずれか一方にあればよい。勿論、前記絶縁層は、前記第1の部材側及び前記第2の部材の両方に形成されていてもよい。

【0025】本発明の第4の側面は、半導体装置の製造方法に係り、a) シリコンと付加材料とを含む第1の層上に、実質的にシリコンからなる第2の層を有する第1の部材を準備する準備工程と、b) 前記第1の部材と絶縁性の第2の部材とを前記第2の層が内側に位置するように貼り合わせ、前記第1の部材から前記第1の層及び第2の層を前記第2の部材に移設する移設工程と、c) 前記第1の層に含まれる付加材料を前記第2の層に拡散させる拡散工程と、d) 前記第2の部材上に移設された前

記第1の層の上に歪みシリコン層を形成する歪みシリコン層形成工程と、e) 前記歪みシリコン層上に回路素子を形成する回路素子形成工程とを含むことを特徴とする。

【0026】

【発明の実施の形態】本発明の好適な実施の形態は、絶縁層上に、シリコン及び付加物質を含む層を有し、その上に歪みシリコン層を有する構造を形成するために移設法を利用することを1つの特徴とする。ここで、移設法とは、脆弱な構造の分離層の上に移設対象層（2層以上で構成される）を有する第1の部材を該移設対象層を挟むようにして第2の部材に貼り合わせ、その後、貼り合わせによって形成された複合部材（貼り合わせ部材）を分離層の部分で分離する方法である。

【0027】この方法によれば、第1の部材に形成された移設対象層のうち下側の層が第2の部材の上側の層となり、第1の部材に形成された移設対象層のうち上側の層が第2の部材の下側の層となるように、移設対象層が第1の部材から第2の部材に移設される。すなわち、この方法によれば、第1の部材に順に積み上げられた層が、第2の部材上においては、その積み上げの順番と逆の順番で第2の基板に積み上げられた構造となる。

【0028】本発明の好適な実施の形態によれば、第1の部材の表面に分離層を形成し、その上に第1の層としてシリコンと付加材料としてのゲルマニウムとを含む層(SiGe層)を形成し、その上に第2の層として実質的にシリコンからなる層（好適には単結晶シリコン層）を形成し、更にその上に熱酸化法等により絶縁層を形成する。次いで、絶縁層を挟むようにして、第1の部材に第2の部材を貼り合わせる。次いで、貼り合わせによって形成された複合部材を分離層の部分で分離する。

【0029】第1の部材としては、典型的には、シリコン基板が利用され、また、分離層は、典型的には、陽極化成によりシリコン基板の表面を多孔質化することにより形成され得る。

【0030】この方法において、第2の層としての単結晶シリコン層は、その上に良質な絶縁層を形成するために有利に機能する。これは、第2の層がシリコン層であれば、これを熱酸化法により酸化されることにより絶縁層を形成することができるからである。なお、当業者に周知のように、熱酸化法によれば、良質の熱酸化膜を形成することができる。

【0031】この実施の形態の製造方法は、第1の層に含まれるゲルマニウムを、その一部が第2の層に積層されている絶縁層に到達するまで、第2の層に拡散させる拡散工程を含む。この拡散工程は、絶縁層の形成工程と並行して、又は、絶縁層の形成工程の後（例えば、絶縁層の形成工程と貼り合わせ工程との間、貼り合わせ工程と分離工程との間、分離工程の後、又は、分離工程の後に実施される他の工程の後）に実施され得る。特に絶縁

層が酸化シリコン層である場合には、当該酸化シリコン中ではGeの拡散速度が非常に遅いため、上記拡散工程において酸化シリコン層にGeが入ることを抑制することができる。

【0032】以上の工程により、第2の部材上に絶縁膜を有し、その上にシリコンとゲルマニウム(SiGe層)とを含む層を有する半導体部材が得られる。

【0033】この実施の形態の製造方法では、更に、上記の工程で得られた半導体部材のSiGe層の上にシリコン層を成長させる。このシリコン層は、その下層であるSiGe層と格子定数が異なるので、歪みシリコン層となる。

【0034】この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速かつ低消費電力であるという効果を提供する。

【0035】上記の方法において、第1の部材に第1の層(シリコンと付加材料としてのゲルマニウムとを含む層)の下に、シリコン層を形成することが好ましい。これは、分離層上に直接に第1の層を形成するよりも、分離層上にシリコン層を形成した後に第1の層を形成する方が、良質の第1の層を形成することができるからである。

【0036】また、上記の製造方法では、第1の部材に先ず分離層を形成し、その後、第1の層、第2の層及び絶縁層を順に形成するが、例えば、第1の層、第2の層及び絶縁層を形成した後に分離層を形成することもできる。例えば、第1の層、第2の層及び絶縁層が形成された第1の部材に対して水素イオン等を注入する工程を含むイオン注入法により、第1の層の下に、イオン注入層を形成し、これを分離層として利用することもできる。なお、上記のイオン注入層では、熱処理を施すことによりイオン注入層内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。イオン注入種としては、水素イオンの他、窒素や希ガスイオンを用いることができる。イオン注入法としては、例えばプラズマ浸漬イオン注入法(例えば、国際公開番号WO98/52216号公報に記載されている)を採用することができる。

【0037】また、上記の製造方法において、第1の層を形成するためにシリコンに付加する材料としては、ゲルマニウムが好適であるが、他の材料を付加することもできる。本質は、活性層とすべきシリコン層の下に、該シリコン層と格子定数が異なる層を形成することである。ゲルマニウム以外にも、例えば、Sb、As、あるいはC等を本発明に適用することができる。

【0038】また、上記の製造方法において、分離工程は、種々の方法によって実現され得るが、例えば、貼り合わせによって形成された複合部材の分離層に対して流

体を打ち込み、該流体により該複合部材を2枚の部材に分離する方法が好適である。流体としては、水等の液体の他、空気等の気体を採用し得る。流体として水又はその混合物を採用する技術は、ウォータージェット法として知られている。

【0039】以下、本発明の好適な実施例を説明する。

【0040】[第1の実施例] 図1A～図1Eを参照しながら本発明の第1の実施例に係る半導体基板(部材)の製造方法を説明する。

【0041】図1Aに示す工程(積層工程)では、シリコン基板11上に多孔質層12を有し、その上にシリコン層13を有し、その上にシリコンとゲルマニウム(附加材料)とを含む第1の層(SiGe層)14を有し、その上にシリコン層15を有する第1の基板(部材)10を作成する。

【0042】まず、単結晶シリコン基板11上に陽極化成により多孔質層12を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)を含む溶液を満たし、該電極間にシリコン基板11を配置し、該電極間に電流を流すことによりなされ得る。この工程によって形成される多孔質層12は、脆弱な構造の層であって、後の分離工程において分離層として機能する。

【0043】なお、多孔質層の内部孔表面に酸化膜等の保護膜を形成してもよい。また、化成液、あるいは電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、単結晶シリコン基板11側から第1の多孔質層、そしてその上に当該第1の多孔質層よりも多孔度の低い第2の多孔質層を形成することができる。

【0044】次いで、多孔質層12上にCVD法により単結晶シリコン層13をエピタキシャル成長させる。

【0045】単結晶シリコン層の成長条件は、以下の通りである。

・キャリアガス: H₂

水素の流量は、好ましくは15～45リットル/分であり、典型的には30リットル/分である。

・原料ガス: SiH₄Cl₂

原料ガスの流量は、好ましくは50～200SCCMであり、典型的には100SCCMである。

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には80Torrである。

・成長温度

成長温度は、好ましくは650°C～1000°Cであり、典型的には900°Cである。

【0046】なお、単結晶シリコン層の成長に先だって、上記多孔質層表面を水素雰囲気中で熱処理(ブリベーク)することも好ましい。ブリベークの場合において、水素の流量は、好ましくは15～45リットル/分(典型的には、40リットル/分)、温度は、好ましくは

700～1000°C（典型的には950度）、チャンバ内圧力は、好ましくは10～760Torr（典型的には、80Torr）である。更に、単結晶シリコン層の成長初期段階において50nm/min以下の低成長速度で成長させることも好ましいものである。

【0047】次いで、単結晶シリコン層13上に第1の層14として、シリコン及びゲルマニウム（付加材料）を含む層（SiGe層：例えば、Ge=30%）をランプ加熱によるCVD法によりエピタキシャル成長させる。この条件は、好ましくは次の通りである。なお、成長に先だって、前述のブリベーカーを行ってもよい。

・キャリアガス：H₂

H₂の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。

・原料ガス1：SiH₄

SiH₄の流量は、好ましくは50～200scmであり、典型的には100scmである。

・原料ガス2：2%GeH₄

2%GeH₄の流量は、好ましくは20～500scmであり、典型的には300scmである。

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には100Torrである。

・温度

温度は、好ましくは650～680°Cである。

・成長速度

成長速度は、好ましくは10～50nm/分である。

【0048】次いで、第1の層（SiGe層）14の上にCVD法により第2の層15としての単結晶シリコン層をエピタキシャル成長させる。この条件は、好ましくは次の通りである。

【0049】第2の層15としての単結晶シリコン層の成長条件は、以下の通りである。

・キャリアガス：H₂

水素の流量は、好ましくは15～45リットル/分であり、典型的には30リットル/分である。

・原料ガス：SiH₄

原料ガスの流量は、好ましくは50～500SCMであり、典型的には100SCMである。

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には80Torrである。

・成長温度

成長温度は、好ましくは650°C～1000°Cであり、典型的には900°Cである。

・成長速度

成長速度は、好ましくは10～500nm/minである。

【0050】勿論、成長に先だって、既述のブリベーカーを行ってもよい。また、各工程ごとにCVD装置から試料を取り出す場合は、次工程に先だって、表面を希HF溶

液への浸漬などにより表面に形成された自然酸化膜除去してもよい。

【0051】以上の工程により、図1Aに模式的に示すような第1の基板（部材）10が得られる。ここで、上記のように多段の工程によってシリコン層13、第1の層（SiGe層）14、第2の層（シリコン層）15を形成する代わりに、单一の工程（例えば、CVD工程）において、Geの濃度（又は、これに付随して他のガスの濃度）や他の条件を徐々に又は段階的に変更しながら、シリコン層13、第1の層（SiGe層）14、第2の層（シリコン層）15を形成することもできる。

【0052】図1Aに示す工程に次いで、図1Bに示す工程（絶縁層形成工程）では、図1Aに示す第1の基板10の表面に絶縁層21を形成する。この工程では、典型的には、熱酸化法により図1Aに示す第1の基板10の表面の第2の層（単結晶シリコン層）15を熱酸化させることにより絶縁膜（この場合、SiO₂膜）を形成する。符号15'は、熱酸化後の第2の層を示している。このように熱酸化法を利用することにより、SIMOX法による埋め込み酸化膜に比べて遙かに良質の絶縁層21を形成することができる。ここで、熱酸化法に代えてCVD法等により絶縁層12を形成してもよい。この場合においても、酸素イオン注入によるSIMOX法に比べて良質の絶縁層21を形成することができる。絶縁膜の形成は必須ではなく、後述するように第2の基板表面に形成しても良い。また、第2の基板が光透過性のガラスなどの絶縁材料であれば省略することもできる。

【0053】この絶縁層21は、後に埋め込み絶縁膜（埋め込み酸化膜）として機能する他、後に実施される第1の層14から第2の層15'へのゲルマニウム（付加材料）の拡散工程において拡散ストップとして機能する。熱酸化法により形成される絶縁層21或いは基板の表層にCVD法等により形成される絶縁層21は、欠陥が少ない緻密な膜であるため、拡散ストップとして良好に働く。なお、SIMOX法による埋め込み酸化膜も拡散ストップとして機能し得るが、SIMOX法による埋め込み酸化膜は欠陥が多いいため、該欠陥を通してゲルマニウムが拡散して基板中に失われる可能性がある。ここでいう欠陥とは、酸素イオンが打ち込まれる基板表面に異物等が存在し、SiO₂が良好に形成されなかつた領域等である。

【0054】図1Bに示す工程に次いで、図1Cに示す工程（貼り合わせ工程）では、絶縁層21が形成された第1の基板（部材）10'の絶縁層21側に第2の基板（部材）30を貼り合わせる。ここで、第1の基板10'と第2の基板30とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合、あるいは熱処理等を施してもよい。第2の基板30は、典型的には、シリコン基板31の表面にSiO₂層等の絶縁層32を形成した基板である。ただし、絶縁層32は必須ではないし、また、第2の基板30がシリコ

ン基板で構成されることも必須ではない。例えば、第2の基板30は、ガラス基板等であってもよい。

【0055】図1Cに示す工程に次いで、図1Dに示す工程（分離工程）では、貼り合わせによって形成された基板（貼り合わせ基板）を分離層12の部分で2枚の基板に分離する。すなわち、図1Cに示す貼り合わせ工程及び図1Dに示す分離工程により移設工程が実施される。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層12に流体を打ち込むことにより実施され得る。なお、符号12'、12"は、分離後に両基板に残留する多孔質層を模式的に示している。

【0056】ここで、液体や気体などの流体を利用する分離方法に代えて、引っ張り、圧縮、せん断等の応力を利用する分離方法を採用してもよいし、これらを併用してもよい。分離後の第2の基板30'上に多孔質層12'が残留する場合には、当該残留多孔質層をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去することが好ましい。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。

【0057】図1Dに示す工程に次いで、図1Eに示す工程（拡散工程）では、分離後の第2の基板30'に対して熱処理、典型的には水素アニールを施す。この熱処理は、第1の層14中のゲルマニウム（付加材料）を拡散させることができるとする温度、典型的には1000°C以上で実施される。この熱処理により、第1の層14中のゲルマニウムを拡散させてその一部を絶縁層21に到達させ、絶縁層/SiGe層界面を形成する。前述のように、絶縁層21は、ゲルマニウムの拡散を塞き止めるストップとして機能する。したがって、ゲルマニウムが絶縁層21を通して基板中に失われることは殆どない。この熱処理は、第1の層14中のゲルマニウムの一部が絶縁層21に突き当たる一方で、製造される半導体基板30"の表面から所定の厚さの部分（元のシリコン層13の一部）に、実質的にゲルマニウムを含まないシリコン層13'が残るように制御される。このようにして残ったシリコン層13'は、その下に生じたSiGe層14'と格子定数が異なるために歪みシリコン層となる。

【0058】熱処理は、水素流量を10リットル/分とし、温度を900°C～1200°Cとし、大気圧あるいはそれ以下の圧力下で行うことが好ましい。

【0059】ここで、13'の厚さは、好ましくは2～200nm、更に好ましくは2～50nmである。また、14'の厚さは、好ましくは2～100nm、更に好ましくは5～50nmである。Geの濃度は、好ましくは5～40%、更に好ましくは15～30%である。

【0060】この歪みシリコン層13'を利用して回路素子を形成することにより、高速かつ低消費電力のデバ

イスを得ることができる。回路素子の形成（半導体装置の製造）については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【0061】【第2の実施例】この実施例は、図1A～図1Dに示す各工程については第1の実施例と同様である。以下では、図2A及び図2Bを参照しながらこの実施例の特徴のうち第1の実施例と相違する特徴について説明する。

【0062】図1Dに示す工程（分離工程）に次いで、図2Aに示す工程（拡散工程）では、分離後の第2の基板30'（図1D参照）に対して熱処理、典型的には水素アニールを施す。この熱処理は、第1の層14中のゲルマニウム（付加材料）を拡散させることができるとする温度、典型的には1000°C以上で実施される。この実施例では、この熱処理において、第1の層14中のゲルマニウム（付加材料）をシリコン層15'の全体及び第2の層13の全体に拡散させて、絶縁層21上に、シリコン及びゲルマニウムを含む層（SiGe層）14"を形成する。典型的には、SiGe層14"におけるゲルマニウム濃度がほぼ均一になるように熱処理が実施される。この実施例によれば、熱処理後の第2の基板40の表層のゲルマニウム（付加材料）の濃度を精密に制御すること、及び、ゲルマニウムの面方向の濃度分布を均一（平坦）にすることが容易である。絶縁層21は、第1の実施例と同様に、ゲルマニウムの拡散を塞き止めるストップとして機能する。

【0063】図2Aに示す工程に次いで、図2Bに示す工程（成長工程）では、第2の基板30'''のSiGe層14"上にCVD法により単結晶シリコン層41を成長させる。このようにして形成される単結晶シリコン層41は、その下層のSiGe層14"と格子定数が異なるために、歪みシリコン層となる。この実施例によれば、歪みシリコン層41とSiGe層14"との界面付近におけるSiGe層14"中のゲルマニウムの濃度を精密に制御することができるとともに界面における濃度分布を均一（平坦）にできる。したがって、SiGe層14"の上に形成される歪みシリコン層41の歪み等の制御が容易であり、良質の歪みシリコン層41を得ることができる。

【0064】単結晶シリコン層41の成長条件は、好ましくは次の通りである。

・キャリアガス：H₂

H₂の流量は、好ましくは15～45リットル/分であり、典型的には20リットル/分である。

・原料ガス1：SiH₂C₁₂

SiH₂C₁₂の流量は、好ましくは10～500scmであり、典型的には100scmである。なお、原料ガスとしてはSiH₂を用いることもでき、その場合、流量は、好ましくは10～500scmであり、典型的には50scmである。

・チャンバ圧力

チャンバ圧力は、好ましくは10~760Torrであり、典型的には80Torrである。

・温度

温度は、好ましくは650~1000°Cであり、典型的には900°Cである。

【0065】なお、成長に先だってブリベーカーを実施することが好ましい。ブリベーカーの条件として、温度は、好ましくは850°C~1000°C（典型的には950°C）であり、水素の流量は、好ましくは15リットル/分~50リットル/分（典型的には30リットル/分）、圧力は、好ましくは10~760Torr（典型的には、80Torr）である。勿論、ブリベーカー工程は省略することもできる。

【0066】この歪みシリコン層14をを利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成（半導体装置の製造）については後述する。

【0067】上記の方法では、図2Aに示す工程（拡散工程）に次いで、図2Bに示す工程（成長工程）を実施するが、拡散工程と同時に、又は、拡散工程と成長工程との間ににおいて、SiGe層14の表面を熱酸化させ、その後、熱酸化膜を除去する処理を実施してもよい。この場合、SiGe層14の熱酸化の際に、SiGe層14の表面のシリコン原子と気相から基板に供給される酸素原子との結合により熱酸化膜が形成されながら、該熱酸化膜中から基板内部に向かってゲルマニウム原子が押し出されるため、SiGe層14中のゲルマニウムの濃度を高めることができる。また、同時にSiGe層14を薄膜化することもできる。

【0068】なお、この実施例では、図2Bに示す工程（成長工程）でSiGe層14上に新たに歪みシリコン層41を形成するため、必ずしも図1Aに示す工程（積層工程）で第1の層（SiGe層）14の形成に先立って単結晶シリコン層13を形成する必要はない。ただし、図1Aに示す工程で、単結晶シリコン層13を形成することにより、その上に良質の第1の層14を形成することができる。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【0069】【第3の実施例】図3A~図3Fを参照しながら本発明の第3の実施例に係る半導体基板（部材）の製造方法を説明する。

【0070】図3Aに示す工程（積層工程）では、シリコン基板111上に多孔質層112を有し、その上に好ましくはシリコン層113を有し、その上にシリコンとゲルマニウム（付加材料）とを含む第1の層（SiGe層）114を有し、その上にシリコン層115を有する第1の基板（部材）110を作成する。

【0071】まず、単結晶シリコン基板111上に陽極化成により多孔質層112を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)

を含む溶液を満たし、該電極対間にシリコン基板111を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質層112は、脆弱な構造の層であって、後の分離工程において分離層として機能する。

【0072】次いで、多孔質層112上にCVD法により単結晶シリコン層113をエピタキシャル成長させる。

【0073】単結晶シリコン層の成長条件は、以下の通りである。

・キャリアガス：H₂

水素の流量は、好ましくは15~45リットル/分であり、典型的には30リットル/分である。

・原料ガス：SiH₄Cl₂

原料ガスの流量は、好ましくは50~200scmであり、典型的には100scmである。

・チャンバ圧力

チャンバ圧力は、好ましくは10~100Torrであり、典型的には80Torrである。

・成長温度

成長温度は、好ましくは650°C~1000°Cであり、典型的には900°Cである。

【0074】なお、単結晶シリコン層の成長に先だって、上記多孔質層表面を水素雰囲気中で熱処理（ブリベーカー）することも好ましい。ブリベーカーの場合において、水素の流量は、好ましくは15~45リットル/分（典型的には、40リットル/分）、温度は、好ましくは700~1000°C（典型的には950度）、チャンバ内圧力は、好ましくは10~760Torr（典型的には、80Torr）である。更に、単結晶シリコン層の成長初期段階において50nm/min以下の低成長速度で成長させることも好ましいものである。

【0075】なお、単結晶シリコン層113は必ずしも必要はないが、これを形成した方が良質の第1の層114を得ることができる。

【0076】次いで、単結晶シリコン層113上に第1の層114として、シリコン及びゲルマニウム（付加材料）を含む層（SiGe層：例えば、Ge=30%）をランプ加熱によるCVD法によりエピタキシャル成長させる。

40 この条件は、好ましくは次の通りである。

・キャリアガス：H₂

H₂の流量は、好ましくは25~45リットル/分であり、典型的には30リットル/分である。

・原料ガス1：SiH₄

SiH₄の流量は、好ましくは50~200scmであり、典型的には100scmである。

・原料ガス2：2%GeH₄

2%GeH₄の流量は、好ましくは20~500scmであり、典型的には300scmである。

・チャンバ圧力

チャンバ圧力は、好ましくは10~100Torrであり、典型的には100Torrである。

・温度

温度は、好ましくは650~680°Cである。

・成長速度

成長速度は、好ましくは10~50nm/分である。

【0077】次いで、第1の層(SiGe層)114の上にCVD法により第2の層115としての単結晶シリコン層をエピタキシャル成長させる。この条件は、好ましくは次の通りである。

【0078】第2の層15としての単結晶シリコン層の成長条件は、以下の通りである。

・キャリアガス:H₂

水素の流量は、好ましくは15~45リットル/分であり、典型的には30リットル/分である。

・原料ガス:SiH₄

原料ガスの流量は、好ましくは50~500SCMであり、典型的には100SCMである。

・チャンバ圧力

チャンバ圧力は、好ましくは10~100Torrであり、典型的には80Torrである。

・成長温度

成長温度は、好ましくは650°C~1000°Cであり、典型的には900°Cである。

・成長速度

成長速度は、好ましくは10~500nm/minである。

【0079】勿論、成長に先だって、既述のブリベーカを行ってもよい。また、各工程ごとにCVD装置から試料を取り出す場合は、次工程に先だって、表面を希HF溶液への浸漬などにより表面に形成された自然酸化膜除去してもよい。

【0080】以上の工程により、図3Aに模式的に示すような第1の基板(部材)110が得られる。ここで、上記のように多段の工程によってシリコン層113、第1の層(SiGe層)114、第2の層(シリコン層)115を形成する代わりに、单一の工程(例えば、CVD工程)において、Geの濃度(又は、これに付随して他のガスの濃度)や他の条件を徐々に又は段階的に変更しながら、シリコン層113、第1の層(SiGe層)114、第2の層(シリコン層)115を形成することもできる。

【0081】図3Aに示す工程に次いで、図3Bに示す工程(絶縁層形成工程/第1の拡散工程)では、図3Aに示す第1の基板110の表面に熱酸化法により絶縁層121を形成すると共に、その熱酸化に付隨する熱処理により第2の層114'に含まれるゲルマニウム(付加物質)を第2の層(シリコン層)115に拡散させる。この熱酸化工程は、ゲルマニウムを拡散させることができる温度、典型的には1000°C以上の温度で実施される。この熱酸化工程は、第1の層114中のゲルマニウム(付加材料)の一部がその拡散と同時に形成される絶

縁膜121に到達して絶縁層/SiGe層界面が形成されるように制御される。符号114'、113'は、ゲルマニウムの拡散後のSiGe層、シリコン層113'を示している。

【0082】なお、図3Aに示す工程において第1の層114の形成に先立ってシリコン層113を形成した場合には、ゲルマニウムは、当然に該シリコン層113にも拡散する。

【0083】この実施例は、熱酸化工程と拡散工程と並行して実施することを1つの特徴とするが、拡散工程は、熱酸化工程(絶縁層形成工程)の後(例えば、絶縁層の形成工程と貼り合わせ工程との間、貼り合わせ工程と分離工程との間)に実施されてもよい。なお、第1及び第2の実施例では、拡散工程は、分離工程の後に実施される。

【0084】図3Bに示す工程に次いで、図3Cに示す工程(貼り合わせ工程)では、絶縁膜121が形成された第1の基板(部材)110'の絶縁膜121側に第2の基板(部材)130を貼り合わせる。ここで、第1の基板110'と第2の基板130とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合等を施してもよい。第2の基板130は、典型的には、シリコン基板131の表面にSiO₂層等の絶縁層132を形成した基板である。ただし、絶縁層132は必須ではないし、また、第2の基板130がシリコン基板で構成されることも必須ではない。例えば、第2の基板130は、ガラス基板等であってもよい。

【0085】図3Cに示す工程に次いで、図3Dに示す工程(分離工程)では、貼り合わせによって形成された基板(貼り合わせ基板)を分離層112の部分で2枚の基板に分離する。すなわち、図13に示す貼り合わせ工程及び図3Dに示す分離工程により移設工程が実施される。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層112に流体を打ち込むことにより実施され得る。なお、符号112'、112"は、分離後に両基板に残留する多孔質層を模式的に示している。この分離工程は、分離後の第2の基板130'上に多孔質層が残留する場合には当該残留する多孔質層112'をエッティング等により除去してもよい。

【0086】図3Dに示す工程に次いで任意に実施される図3Eに示す工程(第2の拡散工程)では、分離後の第2の基板130'に対して熱処理、典型的には水素アニールを施す。この熱処理は、SiGe層114'中のゲルマニウム(付加材料)を更に拡散させてSiGe層114'を良質化(例えば、ゲルマニウム濃度の均一化、格子欠陥の除去)することができる温度、典型的には1000°C以上で実施される。

【0087】また、この熱処理は、図3Aに示す工程において第1の層114の形成に先立ってシリコン層11

3を形成した場合には、典型的には、該シリコン層113中の全体にゲルマニウムが拡散するように制御される。ただし、第1の実施例と同様に、第2の基板130"の表層（元のシリコン層113）の所定の厚さの部分に、実質的にゲルマニウムを含まないシリコン層が残るよう熱処理を制御してもよい。

【0088】絶縁層121の上部の全体をSiGe層114"とするための熱処理は、例えば、水素雰囲気中において、好ましくは900°C～1200°C、更に好ましくは1000°C～1100°Cの温度で、また、大気圧或いはそれ以下の圧力下で、また、好ましくは2～20リットル/分の水素流量で実施される。

【0089】図3Eに示す工程に次いで、図3Fに示す工程（成長工程）では、第2の基板130"のSiGe層114"上にCVD法により単結晶シリコン層141を成長させる。このようにして形成される単結晶シリコン層141は、その下層のSiGe層114"と格子定数が異なるために、歪みシリコン層となる。

【0090】この歪みシリコン層141を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成（半導体装置の製造）については後述する。なお、必要に応じて表面を研磨あるいは水素アーナーにより平坦化しても良い。

【0091】【第4の実施例】この実施例は、図3A～図3D又は図3A～図3Eに示す工程については第3の実施例と同様である。以下では、図4A～図4Cを参照しながらこの実施例の特徴のうち第3の実施例と相違する特徴について説明する。

【0092】図3Dに示す工程（分離工程）又は図3Eに示す工程（第2の拡散工程）に次いで、図4Aに示す工程（熱酸化工程）では、図3D又は図3Eに示す第2の基板130'又は130"の表面を熱酸化させる。この熱酸化工程において、SiGe層114'"の表面のシリコン原子と気相から基板に供給される酸素原子との結合により熱酸化膜151が形成される。この際に、該熱酸化膜151中から基板内部に向かってゲルマニウム原子が押し出され、SiGe層114'"中のゲルマニウムの濃度が高まると共に、SiGe層114'"が薄膜化される。

【0093】図4Aに示す工程に次いで、図4Bに示す工程（酸化膜の除去工程）では、熱酸化法により第2の基板のSiGe層114'"上に形成された熱酸化膜を除去してSiGe層114'"を露出させる。

【0094】図4Bに示す工程に次いで、図4Cに示す工程（成長工程）では、SiGe層114'"上にCVD法により単結晶シリコン層161を成長させる。このようにして形成される単結晶シリコン層161は、その下層のSiGe層114"と格子定数が異なるために、歪みシリコン層となる。

【0095】【半導体装置の例】次いで、上記の基板の製造方法により製造され得る半導体基板を利用した半

体装置（デバイス）及びその製造方法について図5A～図5Dを参照しながら説明する。

【0096】まず、第1～第4の実施例として例示的に説明した半導体基板（部材）の製造方法を適用して半導体基板を製造する。この半導体基板は、前述のように、埋め込み酸化膜（絶縁膜）上にSiGe層を有し、その上に歪みSi層を有する。このような基板も、絶縁膜上にシリコン層を有するので、SOI基板の一種と言える。しかし、歪みSi層/SiGe層/絶縁層の構造を有する半導体基板（以下、歪みSOI基板）は、Si単結晶/絶縁層の構造を有する通常のSOI基板に比べて、より高速かつ低消費電力のデバイスが得られるとして注目されている。これは、歪みを有しないSi層に対する歪みSi層の優位性による。

【0097】図5Aに示す工程では、まず、準備した歪みSOI基板に、トランジスタを形成すべき活性領域1103'及び素子分離領域1054を形成する。具体的には、例えば、埋め込み絶縁膜1104上のSiGe層1106及び歪みSi層1105を島状にパタニングする方法、LOCOS酸化法、トレチ法等により、活性領域1103'及び素子分離領域1054を形成することができる。

【0098】次いで、歪みSi層1105の表面にゲート絶縁膜1056を形成する。ゲート絶縁膜1056の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜1056は、例えば、歪みSi層1105の表面を酸化させたり、歪みSi層1105上にCVD法又はPVD法により絶縁物質を堆積させたりすることにより形成され得る。

【0099】次いで、ゲート絶縁膜1056上にゲート電極1055を形成する。ゲート電極1055は、例えば、P型又はN型不純物がドープされた多結晶シリコンや、タンゲステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タンゲステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タンゲステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜1056は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極1056は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシングゲートプロセスと呼ばれる方法で形成されてもよいし、他の方法で形成されてもよい。以上の工程により図5Aに示す構造体が得られる。

【0100】次いで、図5Bに示す工程では、まず、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を活性領域1103'に導入することにより、比較的低濃度のソース、ドレイン領域1058を形成する。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0101】次いで、ゲート電極1055を覆うように絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極1055の側部にサイドウォール1059を形成する。

【0102】次いで、再び上記と同一の導電型の不純物を活性領域1103'に導入し、比較的高濃度のソース、ドレイン領域1057を形成する。以上の工程により図5Bに示す構造体が得られる。

【0103】次いで、図5Cに示す工程では、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面に金属珪化物層1060を形成する。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図5Cに示す構造体が得られる。

【0104】次いで、図5Dに示す工程では、まず、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜1061を形成する。絶縁膜1061の材料としては、燐及び／又はボロンを含む酸化シリコンなどが好適である。

【0105】次いで、必要に応じて、CMP法により絶縁膜1061にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィー技術を適用すると、一边が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0106】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、必要に応じてバリアメタル1062となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体1063を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜1061の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導

電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により歪みSi層にFET等のトランジスタを作り込むことができ、図5Dに示す構造のトランジスタを有する半導体装置が得られる。

【0107】ここで、ゲート電極に電圧を印加したときにゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜1014の上面に届くように活性層（歪みSi層）1103'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜1014の上面に届かないように活性層（歪みSi層）1103'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。

【0108】なお、図5A～図5Dでは、1つのトランジスタの領域のみが示されているが、所望の機能を達成する半導体装置を得るために、歪みSOI基板上に多数のトランジスタその他の回路素子を形成し、これらに配線を形成し得ることは言うまでもない。

【0109】

【発明の効果】本発明によれば、例えば、絶縁層上に、シリコン及び付加物質を含む層を有し、その上に歪みシリコン層を有する半導体部材を形成するための新規の技術を提供することができる。

【図面の簡単な説明】

【図1A】第1及び第2の実施例の積層工程を示す図である。

【図1B】第1及び第2の実施例の絶縁層形成工程を示す図である。

【図1C】第1及び第2の実施例の貼り合わせ工程（移設工程の前段）を示す図である。

【図1D】第1及び第2の実施例の分離工程（移設工程以後段）を示す図である。

【図1E】第1の実施例の拡散工程を示す図である。

【図2A】第2の実施例の拡散工程を示す図である。

【図2B】第2の実施例の成長工程を示す図である。

【図3A】第3及び第4の実施例の積層工程を示す図である。

【図3B】第3及び第4の実施例の絶縁層形成工程／第1の拡散工程を示す図である。

【図3C】第3及び第4の実施例の貼り合わせ工程（移設工程の前段）を示す図である。

【図3D】第3及び第4の実施例の分離工程（移設工程以後段）を示す図である。

【図3E】第3及び第4の実施例の第2の拡散工程を示す図である。

【図3F】第3の実施例の成長工程を示す図である。

【図4A】第4の実施例の熱酸化工程を示す図である。

【図4B】第4の実施例の除去工程を示す図である。

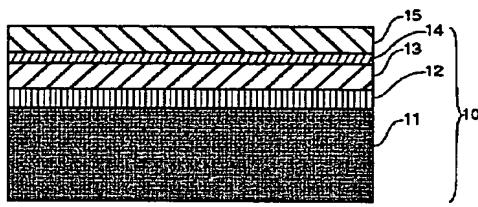
【図4C】第4の実施例の成長工程を示す図である。

【図5A】、
【図5B】、
【図5C】、

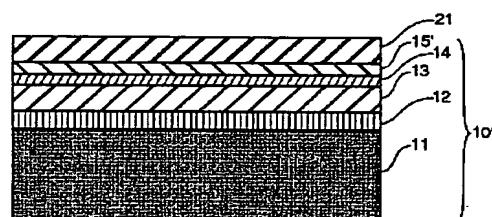
* 【図5D】半導体装置及びその製造方法を示す図である。

*

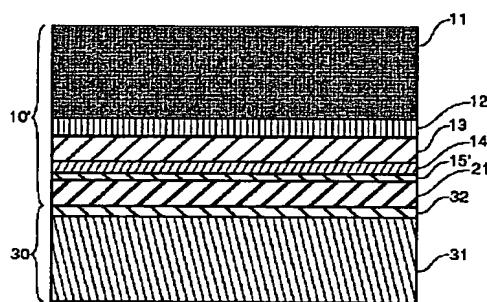
【図1A】



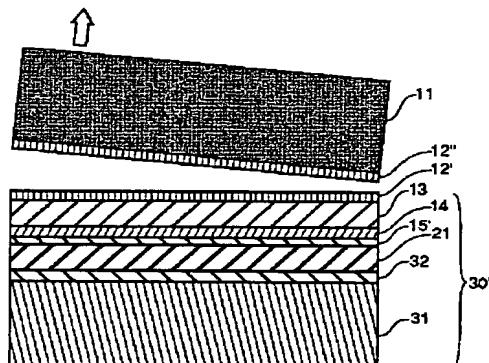
【図1B】



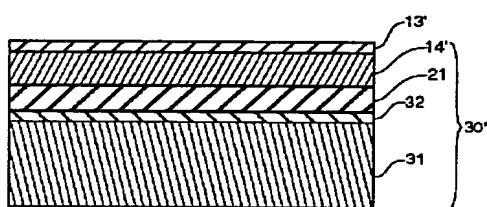
【図1C】



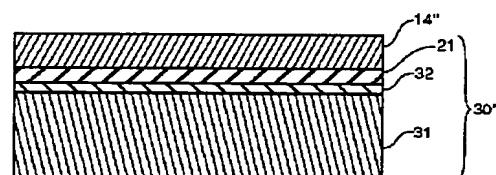
【図1D】



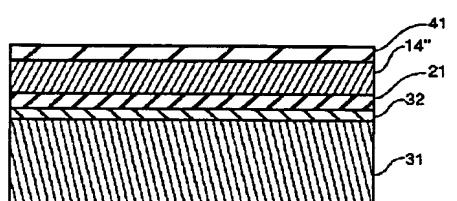
【図1E】



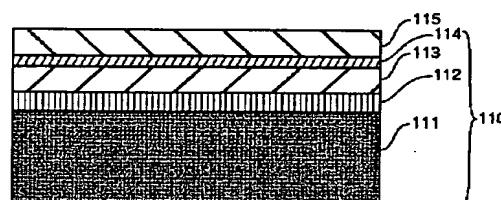
【図2A】



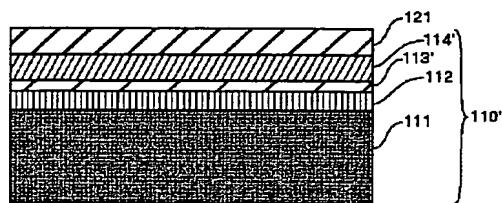
【図2B】



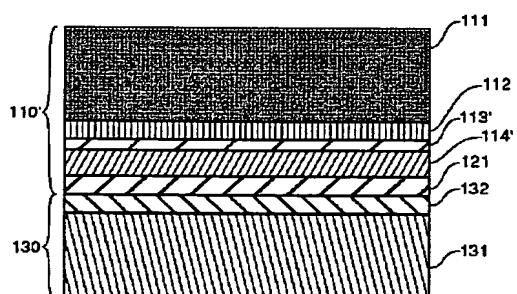
【図3A】



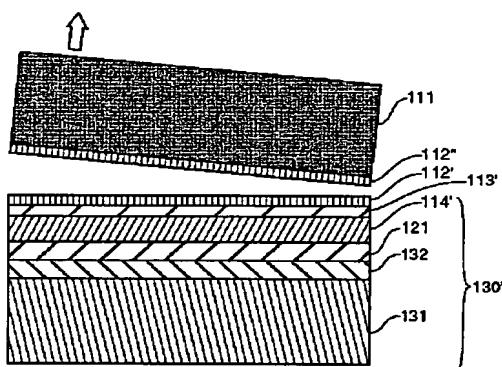
【図3B】



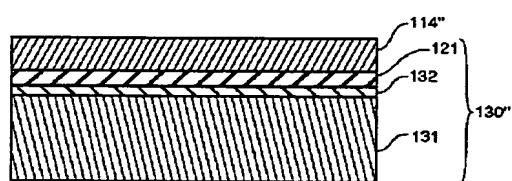
【図3C】



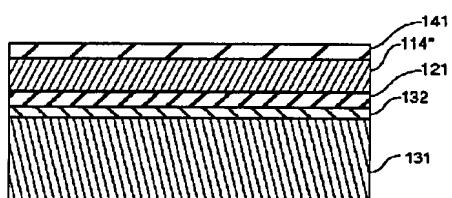
【図3D】



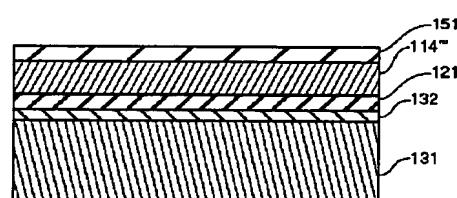
【図3E】



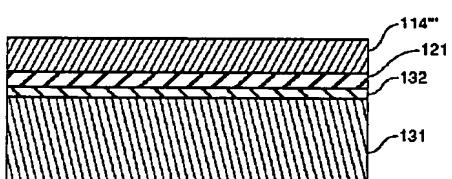
【図3F】



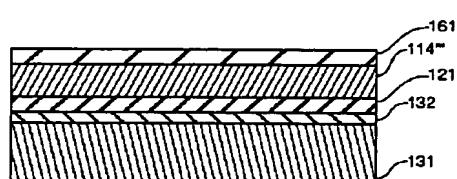
【図4A】



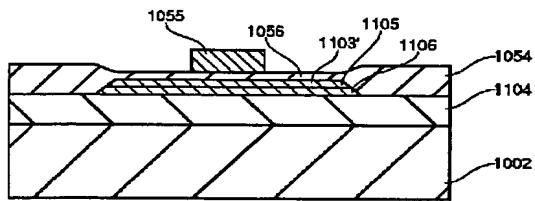
【図4B】



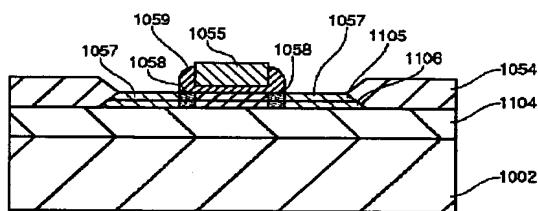
【図4C】



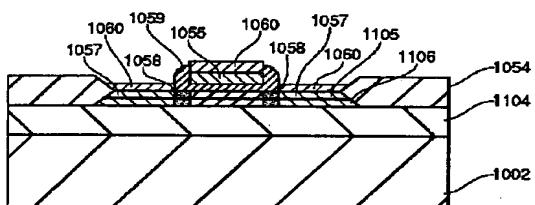
【図5 A】



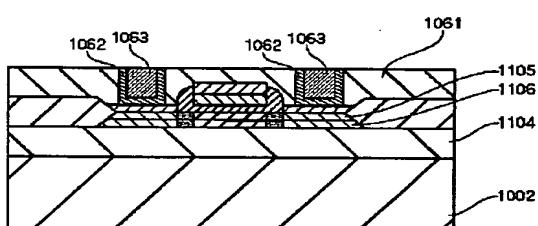
【図5 B】



【図5 C】



【図5 D】



フロントページの続き

(S1) Int.CI.⁷
H 0 1 L 27/08
29/161
29/786

識別記号
3 3 1

F I
H 0 1 L 29/163
29/78

マークコード(参考)

6 1 8 A
6 1 8 B
6 1 8 E

F ターム(参考) SF032 AA03 AA06 CA17 DA54 DA60
DA71
SF048 AC04 BA05 BA14 BA16 BB05
BB09 BB11 BF00 BF07
SF052 AA11 AA17 DA01 DB01 CC01
HA04 JA01 KA05 KB04
SF110 AA01 AA09 CC02 DD02 DD05
DD13 EE01 EE02 EE03 EE04
EE05 EE06 EE09 EE14 EE32
EE42 EE48 FF01 FF02 FF03
FF04 FF09 FF22 FF27 FF29
GG01 GG02 GG12 GG19 GG44
GG57 GG60 HJ01 HJ13 HJ15
HK05 HK40 HL02 HL03 HL04
HL06 HL11 HL12 HL21 HL22
HL24 HL26 HM15 NN22 NN25
NN26 NN62 NN65 NN66 QQ01
QQ11 QQ17 QQ24

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305293

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 27/12
H01L 21/02
H01L 21/20
H01L 21/336
H01L 21/762
H01L 27/08
H01L 29/161
H01L 29/786

(21)Application number : 2001-109002 (71)Applicant : CANON INC

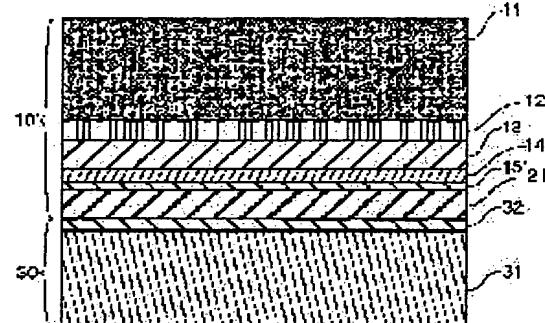
(22)Date of filing : 06.04.2001 (72)Inventor : NOZU KAZUYA
SATO NOBUHIKO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR MEMBER, AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a strain SOI substrate using a transfer installation method (a pasting method, a separation method).

SOLUTION: An isolation layer 12 is formed on a silicon substrate 11. A silicon layer 13, an SiGe layer 14, a silicon layer 15' and an insulating layer 21 are formed sequentially on it. Thereby, a first substrate 10' is formed. The first substrate 10' is pasted on a second substrate 30, and they are separated into two substances in the part of the isolation layer 12. Then, by a hydrogen annealing operation, Ge in the SiGe layer is diffused to the silicon layer 13. Thereby, it is possible to obtain the strain SOI substrate, in which the SiGe layer is provided on the insulating layer 21 and in which is strain silicon layer is provided on it.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The preparation process which is the manufacture approach of a semi-conductor member of having the layer which consists of silicon and an addition ingredient on an insulating layer, and prepares the 1st member which has the 2nd layer which consists of silicon substantially on the 1st layer containing silicon and an addition ingredient, The transfer process which transfers said the 1st layer and 2nd layer to said 2nd member from lamination and said 1st member so that said 2nd layer may be located inside through an insulating layer in said the 1st member and 2nd member, The manufacture approach of the semi-conductor member characterized by including the diffusion process which makes said 2nd layer diffuse the addition ingredient contained in said 1st layer.

[Claim 2] Said laminating process, said insulation layer forming process, and said transfer process are the manufacture approach of the semi-conductor member according to claim 1 characterized by carrying out in order of said laminating process, said insulation layer forming process, and said transfer process including the insulation layer forming process with which said manufacture approach forms said insulating layer on said 2nd layer of said 1st member including the laminating process at which said preparation process forms said 2nd layer on said 1st layer.

[Claim 3] Said 1st member is the manufacture approach of the semi-conductor member according to claim 1 characterized by having a silicon layer and transferring the part from said silicon layer to said insulating layer from said 1st member at said transfer process to the bottom of said 1st layer at said 2nd member.

[Claim 4] Said diffusion process is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by carrying out after said transfer process thru/or claim 3.

[Claim 5] The manufacture approach of a semi-conductor member given in claim 1 characterized by including further the growth process which grows up a silicon layer on said 1st layer on said 2nd member after said diffusion process thru/or any 1 term of 4.

[Claim 6] Said diffusion process is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 which is after said insulation layer forming process, and is characterized by carrying out in front of said transfer process thru/or claim 3.

[Claim 7] The manufacture approach of the semi-conductor member according to claim 2 characterized by forming said insulating layer by thermal oxidation processing accompanied by heat treatment of temperature sufficient in said insulation layer forming process in order to diffuse said addition ingredient, and this carrying out said insulation layer forming process and said diffusion process in parallel.

[Claim 8] Said insulating layer is formed by thermal oxidation processing accompanied by heat treatment of temperature sufficient in said insulation layer forming process in order to diffuse said addition ingredient. Said diffusion process It is the manufacture approach of the semi-conductor member according to claim 2 characterized by carrying out said 1st diffusion process in parallel to said insulation layer forming process by heat treatment in said insulation layer forming process, and carrying out said 2nd diffusion process after said transfer process including the 1st and 2nd diffusion process.

[Claim 9] The manufacture approach of the semi-conductor member according to claim 8 characterized by including further the growth process which grows up a silicon layer on said 1st layer on said 2nd member after said 2nd diffusion process.

[Claim 10] The manufacture approach of a semi-conductor member given in any 1 term of claim 6 characterized by including further the thermal oxidation process which performs thermal oxidation processing to the surface of said 2nd member after said transfer process, and the clearance process which removes the thermal oxidation film formed of said thermal oxidation process at said 2nd member thru/or claim 8.

[Claim 11] The manufacture approach of the semi-conductor member according to claim 10 characterized by including further the growth process which grows up a silicon layer on said 2nd member after said clearance process.

[Claim 12] The manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by including further the thermal oxidation process which performs thermal oxidation processing to the surface of said 2nd member after said transfer process, and the clearance process which removes the thermal oxidation film formed of said thermal oxidation process at said 2nd member thru/or claim 4.

[Claim 13] The manufacture approach of the semi-conductor member according to claim 12 characterized by including further the growth process which grows up a silicon layer on said 2nd member after said clearance process.

[Claim 14] Said addition ingredient is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by including germanium thru/or claim 13.

[Claim 15] Said insulating layer is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by being silicon oxide thru/or claim 14.

[Claim 16] Said 1st member is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by dividing the member formed of lamination lamination and after that in said 2nd member into said 1st member which has a detached core, and by which the insulating layer was formed in the bottom of said 1st layer with said insulation layer forming process at said transfer process in the part of said detached core thru/or claim 15.

[Claim 17] The manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by dividing the member formed of lamination lamination and after that in said 2nd member into said 1st member which formed the detached core and formed this detached core with ion-implantation at said transfer process into the 1st [said] member in which said insulating layer was formed in the part of said detached core thru/or claim 15.

[Claim 18] Said said the 1st layer and said 1st layer [2nd] of a member are the manufacture approach of a semi-conductor member given in any 1 term of claim 1 characterized by being formed by the CVD method thru/or claim 17.

[Claim 19] Said said the 1st layer and said 1st layer [2nd] of a member are the manufacture approach of the semi-conductor member according to claim 17 characterized by being continuously formed in one CVD process while changing gradually or gradually the flow rate or concentration of material gas which supplies said quality of an addition product.

[Claim 20] Said 1st member is the manufacture approach of a semi-conductor member given in any 1 term of claim 1 which has said the 1st layer and said 2nd layer on a silicon substrate, and is characterized by the thing the interior of said 1st layer, the interface of said 1st layer and said silicon substrate, or inside said silicon substrate for which it has a detached core at least at either thru/or claim 16.

[Claim 21] Said detached core is the manufacture approach of the semi-conductor member according to claim 20 characterized by being the porous layer produced using an anodization method, or an ion-implantation layer.

[Claim 22] The manufacture approach of a semi-conductor member given in any 1 term of claim 1 to which the layer which consists of silicon and an addition ingredient is characterized by adjoining said insulating layer according to said diffusion process thru/or claim 21.

[Claim 23] The preparation process which is the manufacture approach of a semi-conductor member of having the layer which consists of silicon and an addition ingredient on an insulating layer, and prepares the 1st member which has the 2nd layer which consists of silicon substantially on the 1st layer containing silicon and an addition ingredient, The transfer process which transfers said the 1st layer and 2nd layer to said 2nd member from lamination and said 1st member so that said 2nd layer may be located inside in said 1st member and the 2nd insulating member, The manufacture approach of the semi-conductor member characterized by including the diffusion process which makes said

2nd layer diffuse the addition ingredient contained in said 1st layer.

[Claim 24] The preparation process which is the manufacture approach of a semiconductor device and prepares the 1st member which has the 2nd layer which consists of silicon substantially on the 1st layer containing silicon and an addition ingredient, The transfer process which transfers said the 1st layer and 2nd layer to said 2nd member from lamination and said 1st member so that said 2nd layer may be located inside through an insulating layer in said the 1st member and 2nd member, The diffusion process which makes said 2nd layer diffuse the addition ingredient contained in said 1st layer, The manufacture approach of the semiconductor device characterized by including the distortion silicon layer formation process which forms a distortion silicon layer on said 1st layer transferred on said 2nd member, and the circuit element formation process which forms a circuit element on said distortion silicon layer.

[Claim 25] The preparation process which is the manufacture approach of a semiconductor device and prepares the 1st member which has the 2nd layer which consists of silicon substantially on the 1st layer containing silicon and an addition ingredient, The transfer process which transfers said the 1st layer and 2nd layer to said 2nd member from lamination and said 1st member so that said 2nd layer may be located inside in said 1st member and the 2nd insulating member, The diffusion process which makes said 2nd layer diffuse the addition ingredient contained in said 1st layer, The manufacture approach of the semiconductor device characterized by including the distortion silicon layer formation process which forms a distortion silicon layer on said 1st layer transferred on said 2nd member, and the circuit element formation process which forms a circuit element on said distortion silicon layer.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1 A] It is drawing showing the laminating process of the 1st and 2nd examples.

[Drawing 1 B] It is drawing showing the insulation layer forming process of the 1st and 2nd examples.

[Drawing 1 C] It is drawing showing the lamination process (preceding paragraph of a transfer process) of the 1st and 2nd examples.

[Drawing 1 D] It is drawing showing the separation process (it is the latter part to a transfer process) of the 1st and 2nd examples.

[Drawing 1 E] It is drawing showing the diffusion process of the 1st example.

[Drawing 2 A] It is drawing showing the diffusion process of the 2nd example.

[Drawing 2 B] It is drawing showing the growth process of the 2nd example.

[Drawing 3 A] It is drawing showing the laminating process of the 3rd and 4th examples.

[Drawing 3 B] It is drawing showing the insulation layer forming process of the 3rd and 4th examples / 1st diffusion process.

[Drawing 3 C] It is drawing showing the lamination process (preceding paragraph of a transfer process) of the 3rd and 4th examples.

[Drawing 3 D] It is drawing showing the separation process (latter part of a transfer process) of the 3rd and 4th examples.

[Drawing 3 E] It is drawing showing the 2nd diffusion process of the 3rd and 4th examples.

[Drawing 3 F] It is drawing showing the growth process of the 3rd example.

[Drawing 4 A] It is drawing showing the thermal oxidation process of the 4th example.

[Drawing 4 B] It is drawing showing the clearance process of the 4th example.

[Drawing 4 C] It is drawing showing the growth process of the 4th example.

[Drawing 5 A] **

[Drawing 5 B] **

[Drawing 5 C] **

[Drawing 5 D] It is drawing showing a semiconductor device and its manufacture approach.

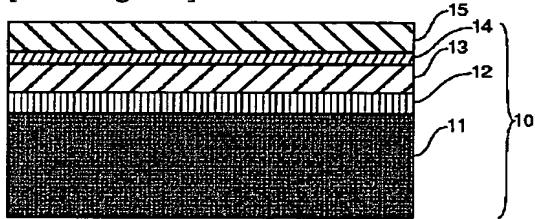
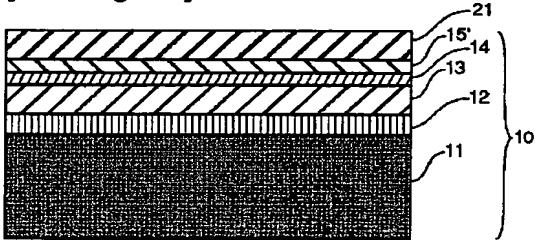
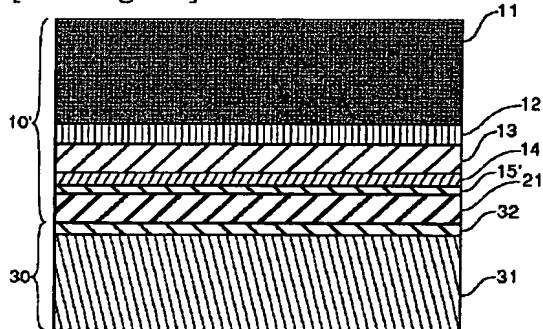
[Translation done.]

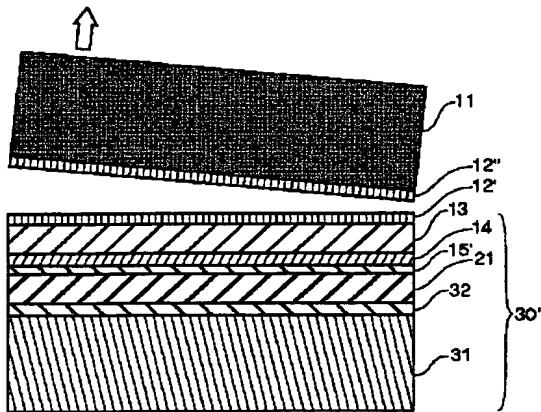
*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

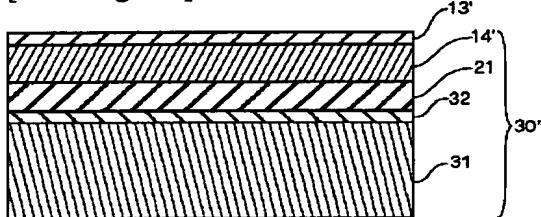
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

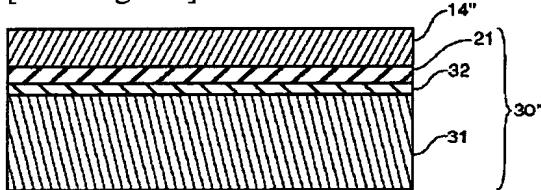
[Drawing 1 A]**[Drawing 1 B]****[Drawing 1 C]****[Drawing 1 D]**



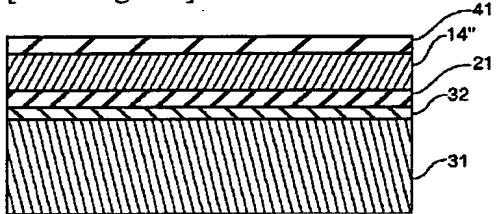
[Drawing 1 E]



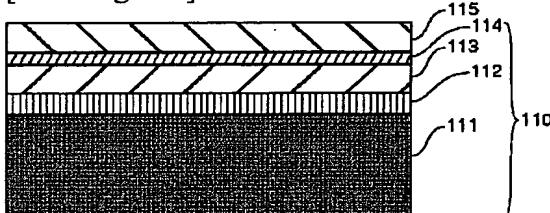
[Drawing 2 A]



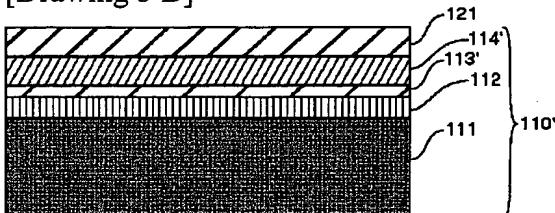
[Drawing 2 B]



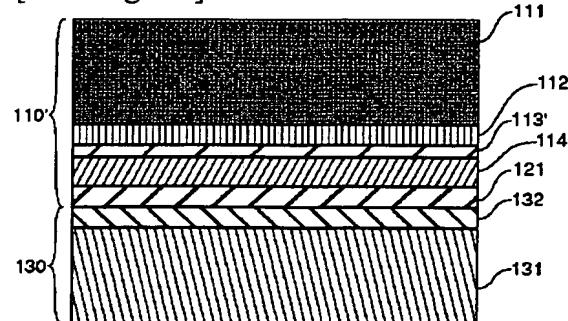
[Drawing 3 A]



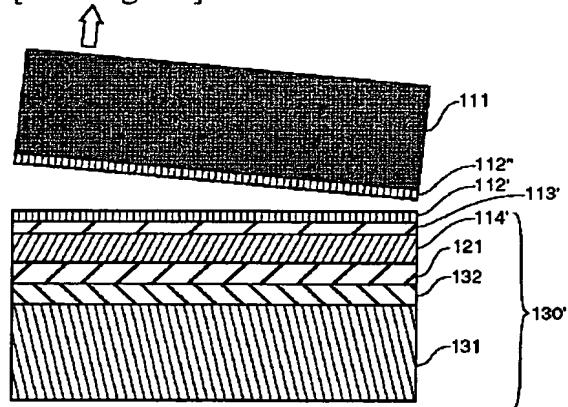
[Drawing 3 B]



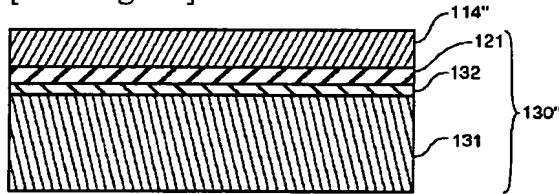
[Drawing 3 C]



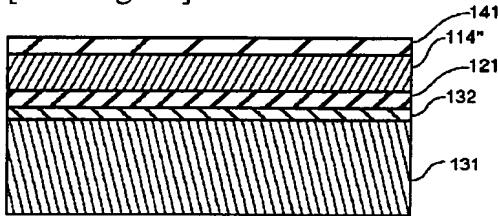
[Drawing 3 D]



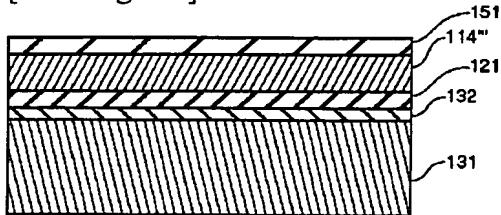
[Drawing 3 E]



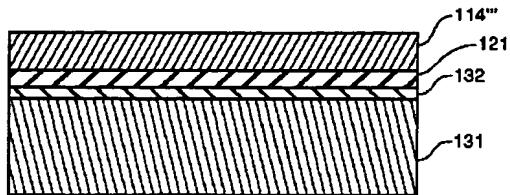
[Drawing 3 F]



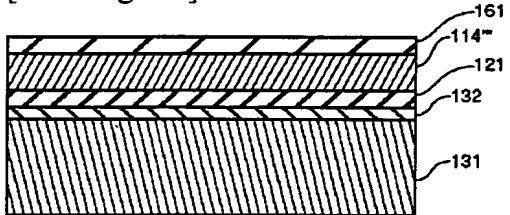
[Drawing 4 A]



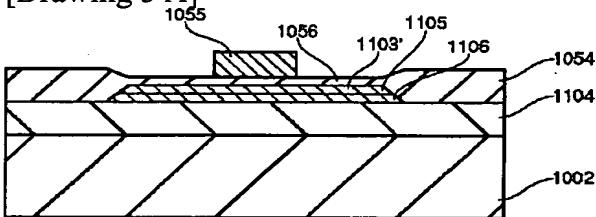
[Drawing 4 B]



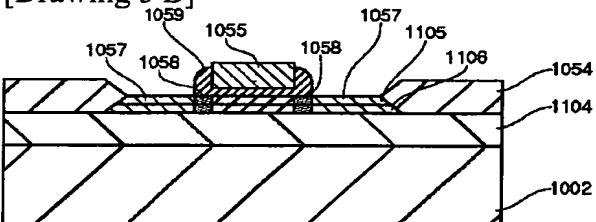
[Drawing 4 C]



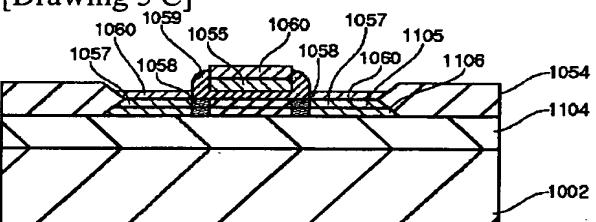
[Drawing 5 A]



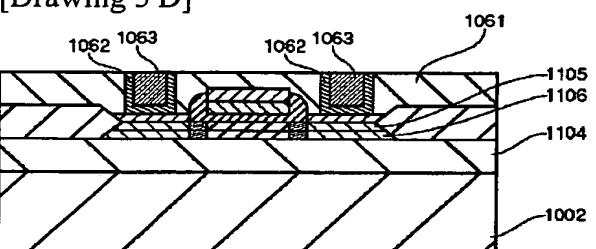
[Drawing 5 B]



[Drawing 5 C]



[Drawing 5 D]



[Translation done.]